

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 07 月 03 日
Application Date

申請案號：092118167
Application No.

申請人：南亞科技股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 10 月 15 日
Issue Date

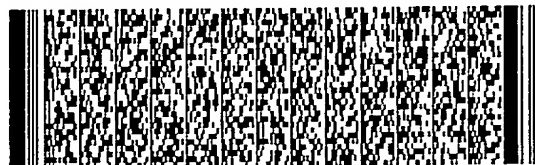
發文字號：09221038320
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	具有垂直型電晶體與溝槽電容器之記憶體裝置及其製造方法
	英 文	MEMORY DEVICE WITH VERTICAL TRANSISTORS AND DEEP TRENCH CAPACITORS AND METHOD OF FABRICATING THE SAME
二、 發明人 (共4人)	姓 名 (中文)	1. 陳逸男 2. 毛惠民 3. 蕭智元
	姓 名 (英文)	1. Yi-Nan Chen 2. Hui-Min Mao 3. Chih-Yuan Hsiao
	國 籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW 3. 中華民國 TW
	住居所 (中 文)	1. 台北市北投區建民路151巷4號 2. 台北市內湖區港富里港墘路11號4樓之2 3. 台北縣新莊市新泰路255巷40號3樓
	住居所 (英 文)	1. 2. 3.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 南亞科技股份有限公司
	名稱或 姓 名 (英文)	1. Nanya Technology Corporation.
	國 籍 (中英文)	1. 中華民國 ROC
	住居所 (營業所) (中 文)	1. 桃園縣龜山鄉華亞科技園區復興三路669號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. Hwa-Ya Technology Park 669, Fuhsing 3 Rd., Kueishan, Taoyuan, Taiwan, R.O.C
	代表人 (中文)	1. 連日昌
	代表人 (英文)	1. Jih-Chang Lien



申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共4人)	姓 名 (中 文)	4. 張明成
	姓 名 (英 文)	4. Ming-Cheng Chang
	國 籍 (中 英 文)	4. 中華民國 TW
	住居所 (中 文)	4. 桃園縣蘆竹鄉蘆竹村12鄰31號
	住居所 (英 文)	4.
三、 申請人 (共1人)	名稱或 姓 名 (中 文)	
	名稱或 姓 名 (英 文)	
	國 籍 (中 英 文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中 文)	
	代表人 (英 文)	



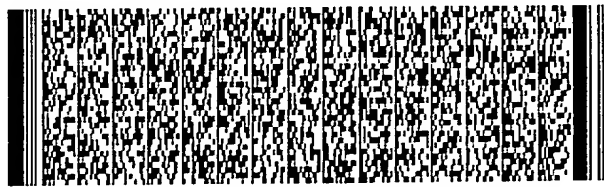
四、中文發明摘要 (發明名稱：具有垂直型電晶體與溝槽電容器之記憶體裝置及其製造方法)

本發明係揭露一種具有垂直型電晶體與溝槽電容器之記憶體裝置及其製造方法。在第二導電層與基底之間的僅一側溝槽之側壁表面形成一單邊擴散絕緣層，用以使第一導電層內的摻雜物以熱擴散法經由第二導電層擴散至基底時，僅在溝槽的單一側擴散形成一埋入帶。如此一來，可以避免當元件尺寸縮小而造成埋入帶擴散區域重疊的問題。其中，單邊擴散絕緣層之形成原理係利用基底被氮化處理後的區域會較不容易被氧化，先以離子佈植方式使單一側溝槽側壁與溝槽底部的基底表面氮化，再進行一氧化程序，則預先氮化處理基底區域所形成的氧化層較另一側溝槽側壁所形成的氧化層為薄，因此，在蝕刻去除部份氧化層後，便可留下僅單一側溝槽側壁之氧化層，以作為單邊擴散隔離層。

伍、(一)、本案代表圖為：第9圖。

六、英文發明摘要 (發明名稱：MEMORY DEVICE WITH VERTICAL TRANSISTORS AND DEEP TRENCH CAPACITORS AND METHOD OF FABRICATING THE SAME)

A memory device with vertical transistors and deep trench capacitors. The device includes a substrate containing at least one deep trench and a capacitor deposited in the lower position of the deep trench. A conducting wire, including a first conductive layer and a second conductive layer, is deposited on the capacitor. A ring shape insulator is deposited on the sidewall and between the



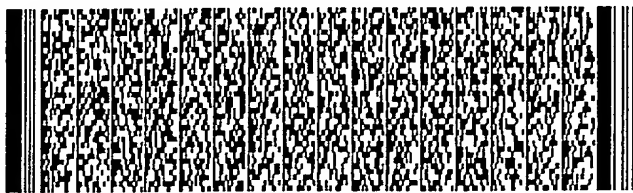
四、中文發明摘要 (發明名稱：具有垂直型電晶體與溝槽電容器之記憶體裝置及其製造方法)

(二)、本案代表圖之元件代表符號簡單說明：

- 115~ 溝槽電容器；
- 110~ 埋入式電極板；
- 112~ 電容器介電層；
- 114~ 電極板；
- 124~ 第一導電層；
- 120~ 環狀絕緣層；
- 128~ 薄氮化層；
- 130~ 第二導電層；
- 126c~ 單邊擴散阻隔層；
- 150~ 導電結構；
- 135~ 溝槽頂端絕緣層；
- 132~ 閘極介電層；
- 136~ 控制閘極；
- 146~ 摻雜區；

六、英文發明摘要 (發明名稱：MEMORY DEVICE WITH VERTICAL TRANSISTORS AND DEEP TRENCH CAPACITORS AND METHOD OF FABRICATING THE SAME)

the substrate and the first conductive layer. The first conductive is surrounded by the ring shape insulator, and the second conductive layer is deposited on the first conductive and the ring shape insulator. A diffusion barrier between the second conductive layer and the substrate of the trench is deposited on one side of the sidewall of the trench. A trench top isolation (TTO) is



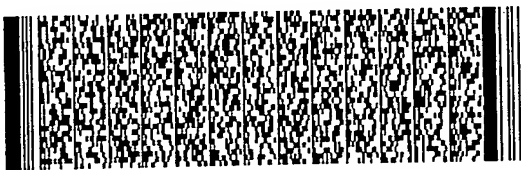
四、中文發明摘要 (發明名稱：具有垂直型電晶體與溝槽電容器之記憶體裝置及其製造方法)

148~埋入帶；

134~閘極導電層。

六、英文發明摘要 (發明名稱：MEMORY DEVICE WITH VERTICAL TRANSISTORS AND DEEP TRENCH CAPACITORS AND METHOD OF FABRICATING THE SAME)

deposited on the conducting wire. A control gate, including a control gate layer and a gate dielectric layer, is deposited on the T10. A buried strap is deposited within the substrate beside the conducting wire. A doping area is provided within the substrate beside the control gate. A manufacturing method for fabricating such memory device is also disclosed.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得,不須寄存。



五、發明說明 (1)

【發明所屬之技術領域】

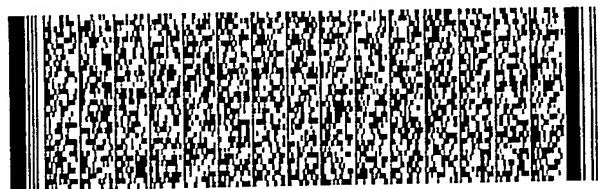
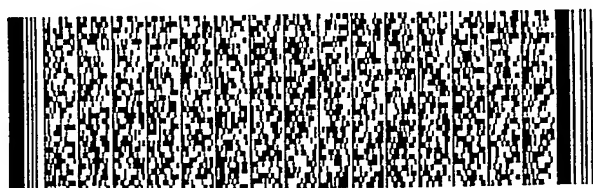
本發明係關於一種記憶體裝置，特別是有關於一種具有垂直型電晶體與溝槽電容器之記憶體裝置及其製造方法。

【先前技術】

積體電路的發展技術日新月異，其發展趨勢往功能強大，尺寸縮小與速度加快的方向前進，而動態隨機存取記憶體（DRAM）的製造技術亦是如此，尤其是其記憶容量的增加更是最重要的關鍵。

現今大多數的DRAM單元是由一個電晶體與一個電容器所構成。由於目前DRAM之記憶容量已達到256百萬位甚至512百萬位元以上，在元件積集度要求越來越高的情況下，記憶單元與電晶體的尺寸需要大幅縮小，才可能製造出記憶容量更高，處理速度更快的DRAM。然而，傳統平板電容的設計方式，會占據太多晶片表面的面積而無法符合上述需求。利用立體化的製程技術，可以大量地減少電晶體與電容器於半導體基底上所佔佈之面積，因此立體化技術開始被運用於DRAM的製程上，例如垂直型電晶體與溝槽型電容器。相對於傳統平板式電晶體佔佈半導體表面相當大的面積，無法滿足目前高度積集化的需求，因此可大幅改善習知的半導體記憶單元的缺點，將成為目前及未來製造半導體記憶單元的主要潮流。

然而，隨著電晶體尺寸的縮小，尤其是 $0.11\mu\text{m}$ 以下



五、發明說明 (2)

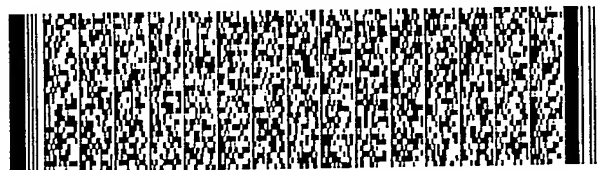
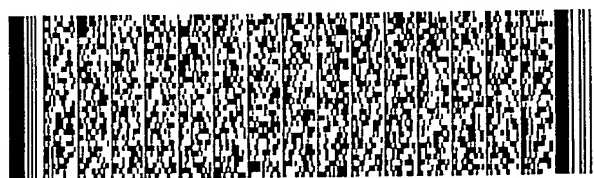
的製程，作為電晶體汲極之埋入帶(Buried Strap, BS)之擴散區域重疊現象(稱之為BS Merge)亦隨之發生，如第1圖所示。埋入帶18之形成是由記憶單元中導線結構16中摻雜高濃度離子之導電層12中之離子經熱擴散之方式經由摻雜低濃度離子或無摻雜離子之導電層14擴散至基底10中(稱之為BS out-diffusion)。若埋入帶18之擴散區域太大，會因此與相鄰溝槽之埋入帶18擴散區域重疊而引起半導體記憶單元之短路。若要避免此現象之發生，必須將記憶單元中導線結構16中摻雜高濃度離子之導電層12中之離子濃度降低，或是將離子摻雜區域集中於導電層12中央，以防止過多離子擴散至基底10中，但是此措施會造成導電層12與其下方之電容器之間的阻值提高而不利於記憶體裝置之存取速度。

有鑑於此，為了解決上述問題，本發明主要目的在於提供一種具有垂直型電晶體與溝槽電容器之記憶體裝置及其製造方法，可適用於 $0.11\ \mu\text{m}$ 以下之DRAM製程。

【發明內容】

本發明之目的在於提供一種具有垂直型電晶體與溝槽電容器之記憶體裝置及其製造方法，以解決埋入帶之擴散區域重疊(BS Merge)的問題。

本發明之主要特徵之一在於形成一單邊擴散絕緣層於第二導電層與基底之間的僅一側溝槽之側壁表面，用以使

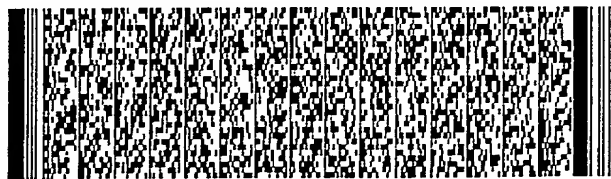
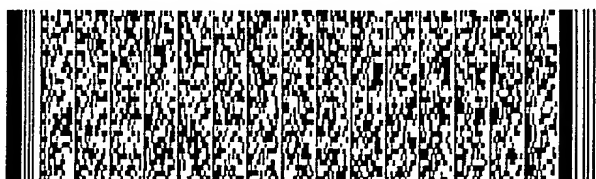


五、發明說明 (3)

第一導電層內的摻雜物以熱擴散法經由第二導電層擴散至基底時，僅在溝槽的單一側擴散形成一埋入帶。如此一來，可以避免當元件尺寸縮小而造成埋入帶擴散區域重疊的問題。

本發明之主要特徵之二在於單邊擴散絕緣層的形成方法係利用基底被氮化處理後的區域會較不容易被氧化之原理，先以離子佈植方式使單一側溝槽側壁與溝槽底部的基底表面氮化，再進行一氧化程序，則預先氮化處理基底區域所形成的氧化層較另一側溝槽側壁所形成的氧化層為薄，因此，在蝕刻去除部份氧化層後，便可留下僅單一側溝槽側壁之氧化層，以作為單邊擴散隔離層。

為獲致上述之目的，本發明提出一種具有垂直型電晶體與溝槽電容器之記憶體裝置，主要係包括：一基底、一溝槽電容器、一導線結構、一單邊擴散阻隔層、一溝槽頂端絕緣層以及一控制閘極。該基底具有至少一溝槽，且該溝槽電容器設置於該溝槽下部。另外，該導線結構設置於該溝槽電容器上方，並以一環狀絕緣層襯墊於該溝槽側壁上作為該導線結構與該基底之隔絕，且該導線結構包括：該第一導電層，設置於該環狀絕緣層所包圍之區域中以及一第二導電層，覆蓋於該第一導電層與該環狀絕緣層上方。該單邊擴散阻隔層，設置於該環狀絕緣層上方之該第二導電層與該基底之間的僅一側該溝槽側壁表面。並且，該溝槽頂端絕緣層，設置於該導線結構上方。最後，該控制閘極，設置於該溝槽頂端絕緣層上方。



五、發明說明 (4)

如前所述，本發明之記憶體裝置更包括：一埋入帶，形成於該第二導電層周圍未設置該單邊擴散阻隔層之該基底中，作為汲極。

如前所述，本發明之記憶體裝置更包括：一摻雜區，形成於該控制閘極上方周圍之該基底中，作為源極。

如前所述，該環狀絕緣層係一氧化層。並且，該第一導電層係一摻雜的複晶矽層或一摻雜的非晶矽層。另外，該第二導電層係一複晶矽層或一非晶矽層。另外，該單邊擴散阻隔層係一氧化層，且該單邊擴散阻隔層之高度大體上小於100 Å。還有，該溝槽頂端絕緣層係一氧化層。

如前所述，該控制閘極包括：一閘極導電層；以及設置於該閘極導電層與該基底之間之一閘極介電層。其中，該閘極導電層係一複晶矽層、一鎢矽合金層、一金屬層或其組合所構成，該閘極介電層係一氧化層。

如前所述，該埋入帶之區域係以該第二導電層外側二端為圓心成半圓形形成於該基底中，且其區域上部與該控制閘極電性連接。

並且，本發明亦提供一種具有垂直型電晶體與溝槽電容器之記憶體裝置的製造方法，包括：

首先，提供一半導體基底。形成至少一溝槽於該基底中。接著，形成一溝槽電容器於該溝槽中下方。接著，形成一環狀絕緣層於該溝槽電容器上方之該溝槽側壁表面。形成一第一導電層於該溝槽電容器上方之該環狀絕緣層所



五、發明說明 (5)

包圍之區域內。接著，形成一單邊擴散阻隔層於該環狀絕緣層上方之僅一側該溝槽側壁表面。接著，形成一第二導電層於該第一導電層上方與該環狀絕緣層上方之該基底側壁與該單邊擴散阻隔層之間。然後，形成一溝槽頂端絕緣層於該第二導電層與該單邊擴散阻隔層上方。最後，形成一控制閘極於該溝槽頂端絕緣層上方。

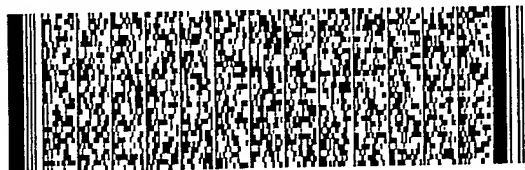
如前所述，該方法更包括：形成一埋入帶於該第二導電層周圍未設置該單邊擴散阻隔層之該基底中，以作為汲極。

如前所述，該方法更包括：形成一摻雜區於該控制閘極上方周圍之該基底中，以作為源極。

如前所述，該環狀絕緣層係一氧化層。另外，該第一導電層係一摻雜的複晶矽層或一摻雜的非晶矽層。並且，該第二導電層係一複晶矽層或一非晶矽層，該溝槽頂端絕緣層係一氧化層。

如前所述，其中該控制閘極包括：一閘極導電層以及設置於該閘極導電層與該基底之間之一閘極介電層。其中，該閘極導電層係一複晶矽層、一鎢矽合金層、一金屬層或其組合所構成。

形成該埋入帶於該第二導電層周圍未設置該單邊擴散阻隔層之該基底中之方法包括：施行一熱處理程序，使該第一導電層中的摻雜離子經由該第二導電層而擴散至該基底中，以形成一半圓形之區域，而該區域上部與該控制閘極電性連接。



五、發明說明 (6)

根據本發明，該單邊擴散阻隔層係一氧化層，該單邊擴散阻隔層之高度大體上小於 100 \AA 。

再者，本發明亦提供一種具有垂直型電晶體與溝槽電容器之記憶體裝置的製造方法，包括：

首先，提供一半導體基底。接著，形成至少一溝槽於該基底中。接著，形成一溝槽電容器於該溝槽中下方。接著，形成一環狀絕緣層於該溝槽電容器上方之該溝槽側壁表面。接著，形成一第一導電層於該溝槽電容器上方之該環狀絕緣層所包圍之區域內。然後，實施一氮化程序於僅一側該溝槽側壁與該溝槽底部之該基底中。接下來，實施一氧化程序於該溝槽側壁與該溝槽底部之該基底表面，以形成一薄氧化層與一厚氧化層，其中該薄氧化層係形成於該基底被施以該氮化程序之區域，且該厚氧化層係形成於該溝槽另一側側壁之未被施以該氮化程序之該基底表面。去除該薄氧化層。接著，形成一第二導電層於該第一導電層上方與該環狀絕緣層上方之溝槽內。接著，以該第二導電層為罩幕，蝕刻高出於該第二導電層之該厚氧化層，以形成一單邊擴散阻隔層於該第二導電層與該溝槽側壁之該基底之間。接著，形成一溝槽頂端絕緣層於該第二導電層與該單邊擴散阻隔層上方。最後，形成一控制閘極於該溝槽頂端絕緣層上方。

根據本發明，該氮化程序係以一既定角度傾斜對該基底施以一氮離子佈植其中，該既定角度大體為 $5\sim 10^\circ$ 。



五、發明說明 (7)

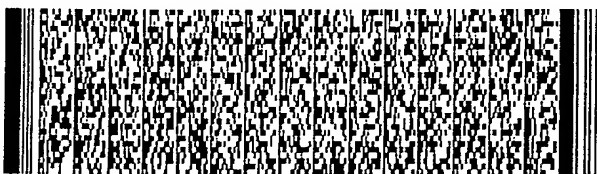
根據本發明，該氧化程序係以熱氧化法進行。

為使本發明之上述目的、特徵和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下：

【實施方式】

以下請配合參考第2圖至第9圖之製程剖面圖，圖詳細說明根據本發明之具有垂直型電晶體與溝槽電容器的動態隨機存取記憶體(DRAM)之結構的製造方法之一實施例。

請參照第2圖，提供一基底100，例如是矽基底。於基底100中形成一溝槽104。例如先形成一罩幕層102於基底100上，罩幕層102例如是由墊氧化層和氮化矽層所構成，其具有預定之溝槽圖案，用以在後續定義溝槽圖案。接著，以罩幕層102為遮蔽，蝕刻基底100，使罩幕層102的圖案轉移至基底100，以形成溝槽104於基底100中。接著，於溝槽104的下半部分形成溝槽電容器115，其結構包括：埋入式電極板(BP)110、順應性的電容器介電層112與電極板114。其中，埋入式電極板110係一例如為 N^+ 型之摻雜區，位於溝槽104底部之基底100中，電極板114的材質例如是摻雜的複晶矽，電容器介電層112的材質例如是氧化矽-氮化矽(oxide-nitride，簡稱ON)的疊層結構、或是氧化矽-氮化矽-氧化矽(oxide-nitride-oxide，簡稱ONO)的疊層結構。上述結構之形成方式可以習知之技



五、發明說明 (8)

術實施，其方法例如是在溝槽104的表面形成一層例如為 N^+ 型之摻雜的介電層，例如砷矽玻璃 (arsenic silicate glass，簡稱ASG)，接著於溝槽104中填入一預定深度之光阻材質，再藉由濕蝕刻移除未為光阻材質覆蓋之摻雜的介電層，之後將光阻材質移除，再順應性沉積一絕緣層，例如四乙氧基矽酸鹽 (TEOS)，以防止摻雜離子在後續之熱製程中擴散至未被摻雜的介電層所覆蓋之溝槽104側壁周圍之基底100中，之後經由熱製程將摻雜的介電層中之摻雜離子趨入基底100中，而形成例如為 N^+ 型之摻雜區，以做為埋入式電極板110，接著移除絕緣層與摻雜的介電層，之後順應性沉積一介電層和沉積一導電層以填滿溝槽104，並利用回蝕刻製程移除溝槽上部與基底100表面的介電層與導電層以於溝槽下部形成電容器介電層112與電極板114。

接著，請參照第3圖，先利用適當沈積法，例如化學氣相沉積 (chemical vapor deposition; CVD)，順應性形成一材質例如為氧化矽之絕緣層，再利用一非等向性蝕刻去除位於罩幕層102上方與溝槽電容器115上方之絕緣層，僅留下溝槽104側壁上之絕緣層，以形成一環狀絕緣層120於溝槽104側壁表面。

接著，請參照第4圖，首先利用適當沈積法，例如化學氣相沉積 (CVD)，全面性形成一導電層，以填滿溝槽104。導電層之材質例如是摻雜的複晶矽或非晶矽，其中摻雜物例如為砷離子，則摻雜離子之濃度大約為 $10^{14} \sim 10^{15}$



五、發明說明 (9)

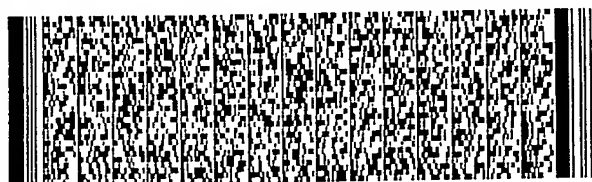
原子數/立方公分，較佳者為 4.5×10^{14} 原子數/立方公分。然後，利用化學機械研磨(chemical mechanical polishing; CMP)，使導電層平坦化之後，再進行一非等向性蝕刻，去除部分導電層至一既定深度，以留下一第一導電層124於溝槽104內。再以第一導電層124為遮蔽，以非等向性蝕刻法選擇性蝕刻環狀絕緣層120，使其在溝槽104中之高度略低於第一導電層124之高度。

接下來，請參照第5圖，實施一氮化程序S500於僅一側溝槽104之側壁與溝槽104底部之該基底中。氮化程序S500例如以大體為 $5 \sim 10^\circ$ 之傾斜角度，對基底100施以一氮離子佈植。

接著，請參照第6圖，實施一氧化程序S600於溝槽104側壁與溝槽104底部之該基底100表面，例如熱氧化法，溫度大約為 $900 \sim 1000^\circ\text{C}$ ，以形成一薄氧化層126a與一厚氧化層126b，其中薄氧化層126a係形成於基底100被施以該氮化程序S500之區域，而厚氧化層126b係形成於溝槽100另一側側壁之未被施以氮化程序S500之基底100表面。

接著，請參照第7圖，先以適當蝕刻劑，例如：氫氟酸(HF)，去除薄氧化層126a，再例如通入一氮氣處理，使未被厚氧化層126b覆蓋之溝槽104側壁的基底100形成一薄氮化層128，其厚度約為 $10 \sim 20 \text{ \AA}$ ，以作為埋入帶界面(BS interface)。

接著，請參照第8圖，利用適當沉積方式，例如化學氣相沉積(CVD)，形成一第二導電層130於第一導電層124

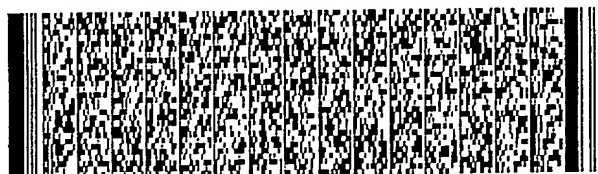


五、發明說明 (10)

上方與該環狀絕緣層120上方之溝槽104內，第二導電層130之材質例如是無摻雜的複晶矽或非晶矽。然後，以第二導電層130為罩幕，蝕刻高出於第二導電層130之厚氧化層126b，以形成一單邊擴散阻隔層126c於第二導電層130與溝槽104側壁之基底100之間。而第一導電層124與第二導電層130共同構成一導電結構150。

接下來，請參照第9圖，於第二導電層130與單邊擴散阻隔層126c上方、溝槽104側壁上以及罩幕層102表面順應性沉積一絕緣層，材質例如是高密度電漿式氧化矽 (High Density Plasma oxide, HDP oxide)，然後以濕蝕刻去除部份絕緣層，以去除溝槽104側壁上與該罩幕層102表面之絕緣層，而於第二導電層130與單邊擴散阻隔層126c上方形成一溝槽頂端絕緣層135，用以作為後續之控制閘極與導線結構150之絕緣阻隔。

最後，利用習知之技術於溝槽頂端絕緣層135上方之溝槽104形成一閘極介電層132與閘極導電層134，閘極導電層134之材質例如是一複晶矽層、一鎢矽合金層、一金屬層或其組合，閘極介電層132之材質例如為一氧化層。其方法例如是使用熱氧化法於溝槽頂端絕緣層135上方之溝槽104側壁上形成閘極介電層132，然後再於閘極介電層132所包圍之區域中形成閘極導電層134。在本實施例中，閘極介電層132及閘極導電層134係構成本發明之記憶體裝置中之控制閘極136。然後實施一離子佈植，以在控制閘極136周圍上方之基底100中形成一摻雜區146作為垂直電



五、發明說明 (11)

晶體之源極。

埋入帶148的形成例如是由後續熱擴散製程使離子擴散至基底100中來形成。摻雜於第一導電層124中的相對較高濃度離子，由於熱擴散作用，由第二導電層130擴散至周圍基底100中，其擴散區域為以第二導電層130之外側二端為圓心之半圓形區域。其區域上方之擴散半徑超過溝槽頂端絕緣層135之厚度而與控制閘極136電性連接。在本實施例中，埋入帶148作為垂直電晶體之汲極區。

請參照第9圖，係依照本實施例之具有垂直電晶體及溝槽電容之記憶體裝置，其結構如下：一基底100、一溝槽電容器115、一導線結構150、一單邊擴散阻隔層126c、一溝槽頂端絕緣層135以及一控制閘極136。基底100具有至少一溝槽104，且溝槽電容器115設置於溝槽104下部。另外，導線結構150設置於溝槽電容器115上方，並以一環狀絕緣層120襯墊於溝槽104側壁上作為導線結構150與基底100之隔絕。且導線結構150包括：第一導電層124，設置於環狀絕緣層120所包圍之區域中以及第二導電層130，覆蓋於第一導電層124與環狀絕緣層120上方。單邊擴散阻隔層126c設置於環狀絕緣層120上方之第二導電層130與基底100之間的僅一側溝槽104側壁表面。並且，溝槽頂端絕緣層135設置於導線結構150上方。最後，控制閘極136設置於溝槽頂端絕緣層135上方。

根據本發明之具有垂直電晶體及溝槽電容之記憶體裝



五、發明說明 (12)

置，由於單邊擴散阻隔層126c阻擋於溝槽104僅一側之基底100與第二導電層130之間，因此在後續擴散形成埋入帶148時，被單邊擴散阻隔層126c覆蓋的基底100部分不會形成埋入帶148。因此，即使半導體元件的線寬縮小，甚至在 $0.11\ \mu\text{m}$ 以下，根據本發明，僅形成單側的埋入帶148，便不會有埋入帶擴散區域重疊的問題發生。

本發明雖以較佳實施例揭露如上，然其並非用以限定本發明的範圍，任何熟習此項技藝者，在不脫離本發明之精神和範圍內，當可做各種的更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



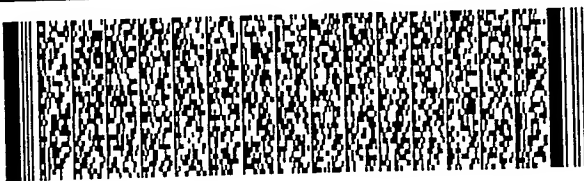
圖式簡單說明

第1圖係顯示習知之埋入帶擴散重疊問題之一結構剖面圖。

第2圖至第9圖係顯示根據本發明之具有垂直型電晶體與溝槽電容器之記憶體裝置之一較佳實施例之製程剖面圖。

【符號說明】

- 18~埋入帶；
- 16~導線結構；
- 14、12~導電層；
- 10、100~基底；
- 104~溝槽；
- 102~罩幕層；
- 115~溝槽電容器；
- 110~埋入式電極板；
- 112~電容器介電層；
- 114~電極板；
- 124~第一導電層；
- 120~環狀絕緣層；
- S500~氮化程序；
- S600~氧化程序；
- 126a~薄氧化層；
- 126b~厚氧化層；
- 128~薄氮化層；



圖式簡單說明

- 130~ 第二導電層；
- 126c~ 單邊擴散阻隔層；
- 150~ 導電結構；
- 135~ 溝槽頂端絕緣層；
- 132~ 閘極介電層；
- 136~ 控制閘極；
- 146~ 摻雜區；
- 148~ 埋入帶；
- 150~ 導線結構；
- 134~ 閘極導電層。



六、申請專利範圍

1. 一種具有垂直型電晶體與溝槽電容器之記憶體裝置，包括：

一基底，其具有至少一溝槽；

一溝槽電容器，設置於該溝槽下部；

一導線結構，設置於該溝槽電容器上方，並以一環狀絕緣層襯墊於該溝槽側壁上作為該導線結構與該基底之隔絕，且該導線結構包括：

一第一導電層，設置於該環狀絕緣層所包圍之區域中；以及

一第二導電層，覆蓋於該第一導電層與該環狀絕緣層上方；

一單邊擴散阻隔層，設置於該環狀絕緣層上方之該第二導電層與該基底之間的僅一側該溝槽側壁表面；

一溝槽頂端絕緣層，設置於該導線結構上方；以及

一控制閘極，設置於該溝槽頂端絕緣層上方。

2. 如申請專利範圍第1項所述之具有垂直型電晶體與溝槽電容器之記憶體裝置，其中更包括：

一埋入帶，形成於該第二導電層周圍未設置該單邊擴散阻隔層之該基底中，作為汲極。

3. 如申請專利範圍第1項所述之具有垂直型電晶體與溝槽電容器之記憶體裝置，其中更包括：

一摻雜區，形成於該控制閘極上方周圍之該基底中，作為源極。

4. 如申請專利範圍第1項所述之具有垂直型電晶體與



六、申請專利範圍

溝槽電容器之記憶體裝置，其中該環狀絕緣層係一氧化層。

5. 如申請專利範圍第1項所述之具有垂直型電晶體與溝槽電容器之記憶體裝置，其中該第一導電層係一摻雜的複晶矽層或一摻雜的非晶矽層。

6. 如申請專利範圍第1項所述之具有垂直型電晶體與溝槽電容器之記憶體裝置，其中該第二導電層係一複晶矽層或一非晶矽層。

7. 如申請專利範圍第1項所述之具有垂直型電晶體與溝槽電容器之記憶體裝置，其中該單邊擴散阻隔層係一氧化層。

8. 如申請專利範圍第1項所述之具有垂直型電晶體與溝槽電容器之記憶體裝置，其中該單邊擴散阻隔層之高度大體上小於100 Å。

9. 如申請專利範圍第1項所述之具有垂直型電晶體與溝槽電容器之記憶體裝置，其中該溝槽頂端絕緣層係一氧化層。

10. 如申請專利範圍第1項所述之具有垂直型電晶體與溝槽電容器之記憶體裝置，其中該控制閘極包括：

一閘極導電層；以及

一閘極介電層，設置於該閘極導電層與該基底之間。

11. 如申請專利範圍第1項所述之具有垂直型電晶體與溝槽電容器之記憶體裝置，其中該閘極導電層係一複晶矽層、一鎢矽合金層、一金屬層或其組合所構成。



六、申請專利範圍

12. 如申請專利範圍第1項所述之具有垂直型電晶體與溝槽電容器之記憶體裝置，其中該閘極介電層係一氧化層。

13. 如申請專利範圍第2項所述之具有垂直型電晶體與溝槽電容器之記憶體裝置，其中該埋入帶之區域係以該第二導電層外側二端為圓心成半圓形形成於該基底中，且其區域上部與該控制閘極電性連接。

14. 一種具有垂直型電晶體與溝槽電容器之記憶體裝置的製造方法，包括：

提供一半導體基底；

形成至少一溝槽於該基底中；

形成一溝槽電容器於該溝槽中下方；

形成一環狀絕緣層於該溝槽電容器上方之該溝槽側壁表面；

形成一第一導電層於該溝槽電容器上方之該環狀絕緣層所包圍之區域內；

形成一單邊擴散阻隔層於該環狀絕緣層上方之僅一側該溝槽側壁表面；

形成一第二導電層於該第一導電層上方與該環狀絕緣層上方之該基底側壁與該單邊擴散阻隔層之間；

形成一溝槽頂端絕緣層於該第二導電層與該單邊擴散阻隔層上方；以及

形成一控制閘極於該溝槽頂端絕緣層上方。

15. 如申請專利範圍第14項所述之具有垂直型電晶體



六、申請專利範圍

與溝槽電容器之記憶體裝置的製造方法，其中更包括：

形成一埋入帶於該第二導電層周圍未設置該單邊擴散阻隔層之該基底中，以作為汲極。

16. 如申請專利範圍第14項所述之具有垂直型電晶體與溝槽電容器之記憶體裝置的製造方法，其中更包括：

形成一摻雜區於該控制閘極上方周圍之該基底中，作為源極。

17. 如申請專利範圍第14項所述之具有垂直型電晶體與溝槽電容器之記憶體裝置的製造方法，其中該環狀絕緣層係一氧化層。

18. 如申請專利範圍第14項所述之具有垂直型電晶體與溝槽電容器之記憶體裝置的製造方法，其中該第一導電層係一摻雜的複晶矽層或一摻雜的非晶矽層。

19. 如申請專利範圍第14項所述之具有垂直型電晶體與溝槽電容器之記憶體裝置的製造方法，其中該第二導電層係一複晶矽層或一非晶矽層。

20. 如申請專利範圍第14項所述之具有垂直型電晶體與溝槽電容器之記憶體裝置的製造方法，其中該單邊擴散阻隔層係一氧化層。

21. 如申請專利範圍第14項所述之具有垂直型電晶體與溝槽電容器之記憶體裝置的製造方法，其中該單邊擴散阻隔層之高度大體上小於100 Å。

22. 如申請專利範圍第14項所述之具有垂直型電晶體與溝槽電容器之記憶體裝置的製造方法，其中該溝槽頂端



六、申請專利範圍

絕緣層係一氧化層。

23. 如申請專利範圍第14項所述之具有垂直型電晶體與溝槽電容器之記憶體裝置的製造方法，其中該控制閘極包括：

一閘極導電層；以及

一閘極介電層，設置於該閘極導電層與該基底之間。

24. 如申請專利範圍第14項所述之具有垂直型電晶體與溝槽電容器之記憶體裝置的製造方法，其中該閘極導電層係一複晶矽層、一鎢矽合金層、一金屬層或其組合所構成。

25. 如申請專利範圍第15項所述之具有垂直型電晶體與溝槽電容器之記憶體裝置的製造方法，其中形成該埋入帶於該第二導電層周圍未設置該單邊擴散阻隔層之該基底中之方法包括：施行一熱處理程序，使該第一導電層中的摻雜離子經由該第二導電層而擴散至該基底中，以形成一半圓形之區域，而該區域上部與該控制閘極電性連接。

26. 一種具有垂直型電晶體與溝槽電容器之記憶體裝置的製造方法，包括：

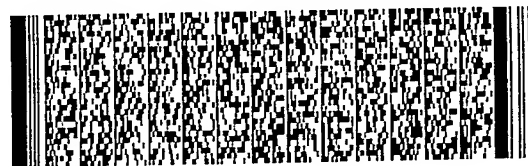
提供一半導體基底；

形成至少一溝槽於該基底中；

形成一溝槽電容器於該溝槽中下方；

形成一環狀絕緣層於該溝槽電容器上方之該溝槽側壁表面；

形成一第一導電層於該溝槽電容器上方之該環狀絕緣



六、申請專利範圍

層所包圍之區域內；

實施一氮化程序於僅一側該溝槽側壁與該溝槽底部之該基底中；

實施一氧化程序於該溝槽側壁與該溝槽底部之該基底表面，以形成一薄氧化層與一厚氧化層，其中該薄氧化層係形成於該基底被施以該氮化程序之區域，且該厚氧化層係形成於該溝槽另一側側壁之未被施以該氮化程序之該基底表面；

去除該薄氧化層；

形成一第二導電層於該第一導電層上方與該環狀絕緣層上方之溝槽內；

以該第二導電層為罩幕，蝕刻高出於該第二導電層之該厚氧化層，以形成一單邊擴散阻隔層於該第二導電層與該溝槽側壁之該基底之間；

形成一溝槽頂端絕緣層於該第二導電層與該單邊擴散阻隔層上方；以及

形成一控制閘極於該溝槽頂端絕緣層上方。

27. 如申請專利範圍第26項所述之具有垂直型電晶體與溝槽電容器之記憶體裝置的製造方法，其中更包括：

形成一埋入帶於該第二導電層周圍未設置該單邊擴散阻隔層之該基底中，以作為汲極。

28. 如申請專利範圍第26項所述之具有垂直型電晶體與溝槽電容器之記憶體裝置的製造方法，其中更包括：

形成一摻雜區於該控制閘極上方周圍之該基底中，作



六、申請專利範圍

為源極。

29. 如申請專利範圍第26項所述之具有垂直型電晶體與溝槽電容器之記憶體裝置的製造方法，其中該環狀絕緣層係一氧化層。

30. 如申請專利範圍第26項所述之具有垂直型電晶體與溝槽電容器之記憶體裝置的製造方法，其中該第一導電層係一摻雜的複晶矽層或一摻雜的非晶矽層。

31. 如申請專利範圍第26項所述之具有垂直型電晶體與溝槽電容器之記憶體裝置的製造方法，其中該第二導電層係一複晶矽層或一非晶矽層。

32. 如申請專利範圍第26項所述之具有垂直型電晶體與溝槽電容器之記憶體裝置的製造方法，其中該單邊擴散阻隔層係一氧化層。

33. 如申請專利範圍第26項所述之具有垂直型電晶體與溝槽電容器之記憶體裝置的製造方法，其中該單邊擴散阻隔層之高度大體上小於100 Å。

34. 如申請專利範圍第26項所述之具有垂直型電晶體與溝槽電容器之記憶體裝置的製造方法，其中該溝槽頂端絕緣層係一氧化層。

35. 如申請專利範圍第26項所述之具有垂直型電晶體與溝槽電容器之記憶體裝置的製造方法，其中該控制閘極包括：

一閘極導電層；以及

一閘極介電層，設置於該閘極導電層與該基底之間。



六、申請專利範圍

36. 如申請專利範圍第26項所述之具有垂直型電晶體與溝槽電容器之記憶體裝置的製造方法，其中該閘極導電層係一複晶矽層、一鎢矽合金層、一金屬層或其組合所構成。

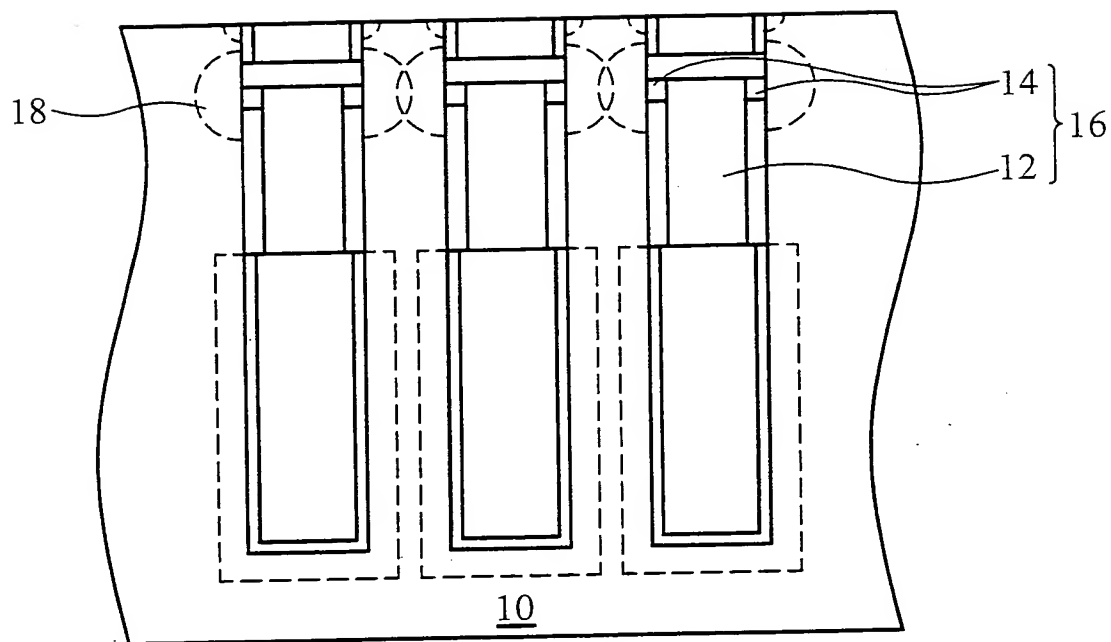
37. 如申請專利範圍第27項所述之具有垂直型電晶體與溝槽電容器之記憶體裝置的製造方法，其中形成該埋入帶於該第二導電層周圍未設置該單邊擴散阻隔層之該基底中之方法包括：施行一熱處理程序，使該第一導電層中的摻雜離子經由該第二導電層而擴散至該基底中，以形成一半圓形之區域，而該區域上部與該控制閘極電性連接。

38. 如申請專利範圍第26項所述之具有垂直型電晶體與溝槽電容器之記憶體裝置的製造方法，其中該氮化程序係以一既定角度傾斜對該基底施以一氮離子佈植。

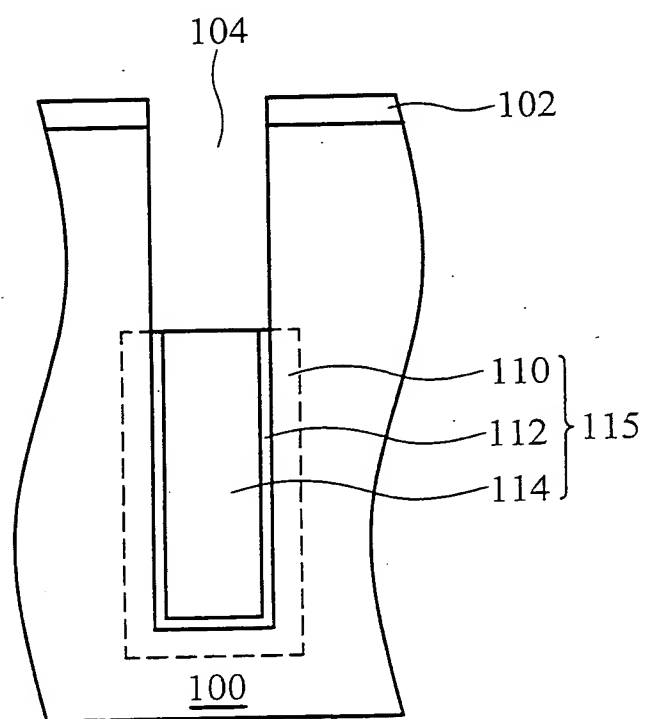
39. 如申請專利範圍第26項所述之具有垂直型電晶體與溝槽電容器之記憶體裝置的製造方法，其中該既定角度大體為 $5\sim 10^\circ$ 。

40. 如申請專利範圍第26項所述之具有垂直型電晶體與溝槽電容器之記憶體裝置的製造方法，其中該氧化程序係以熱氧化法進行。

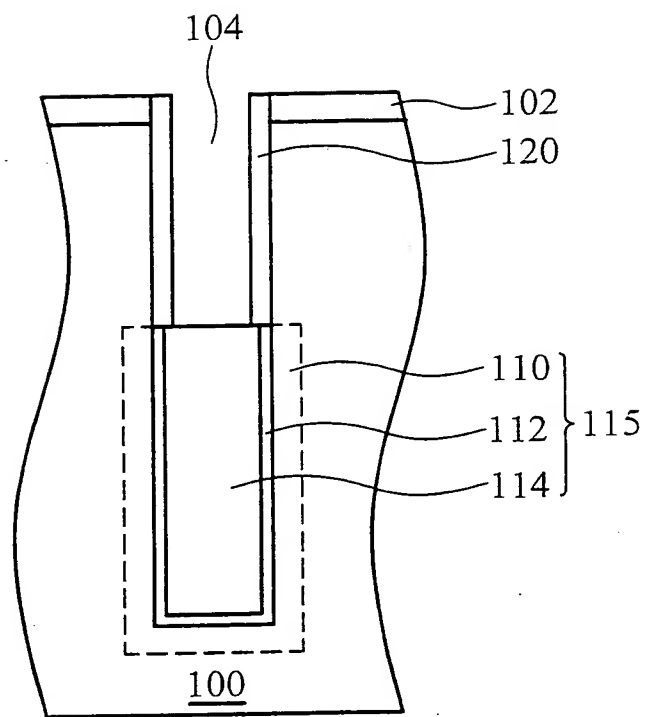




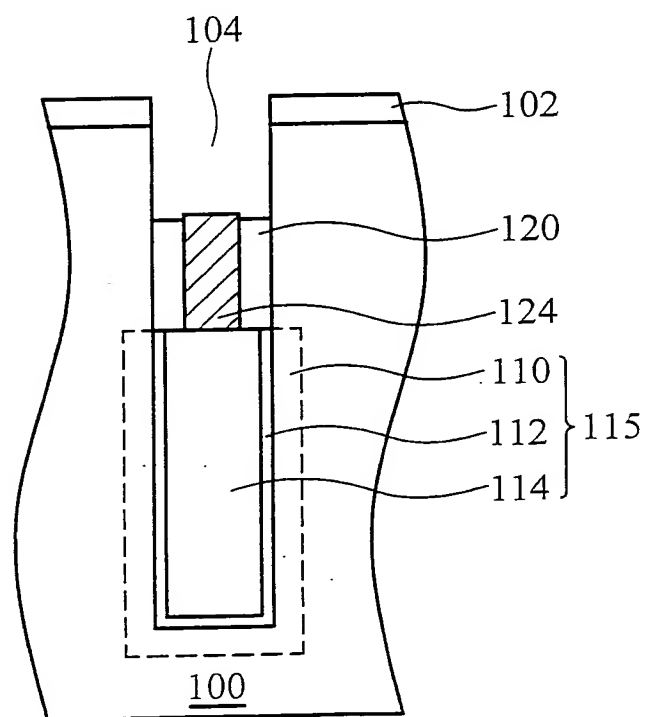
第 1 圖



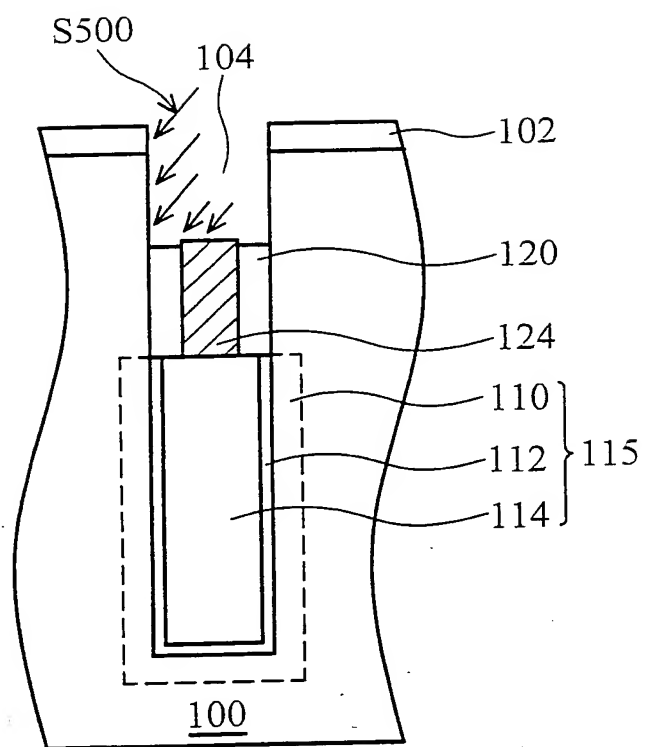
第 2 圖



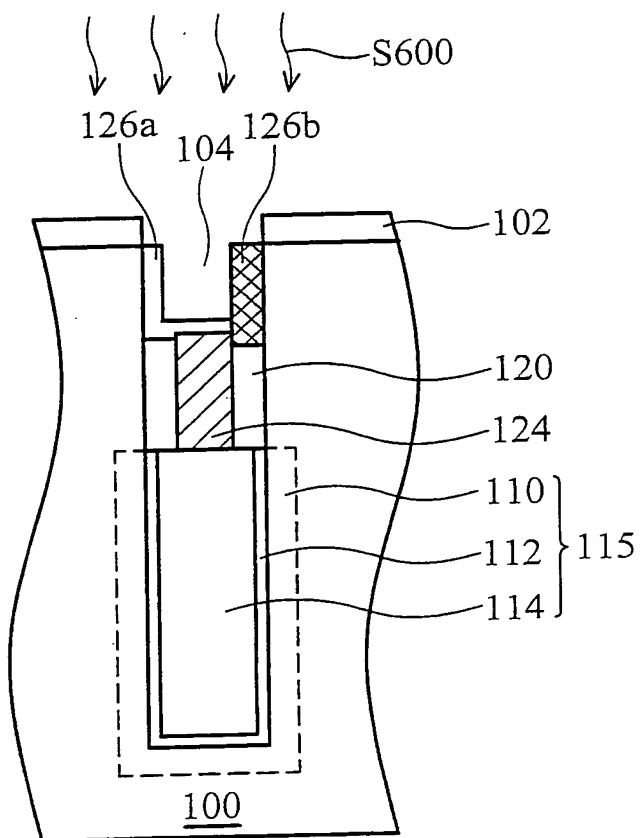
第 3 圖



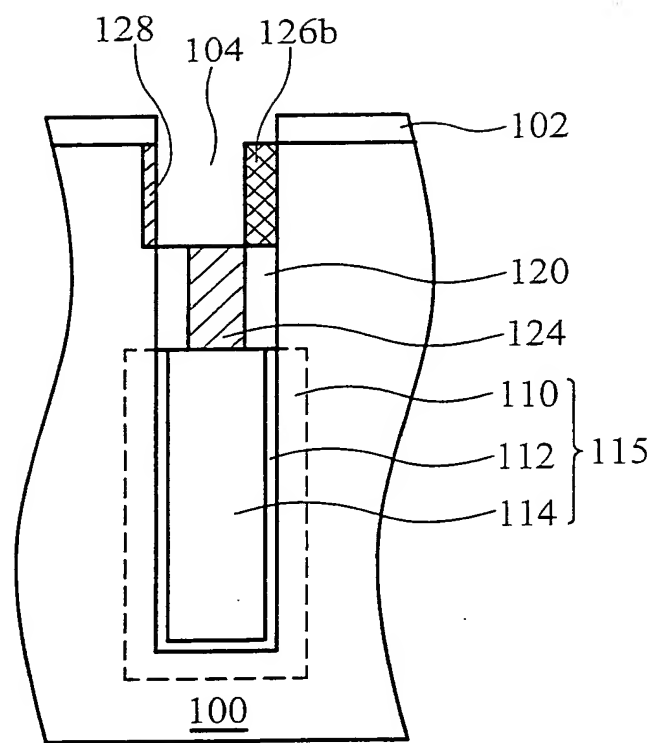
第 4 圖



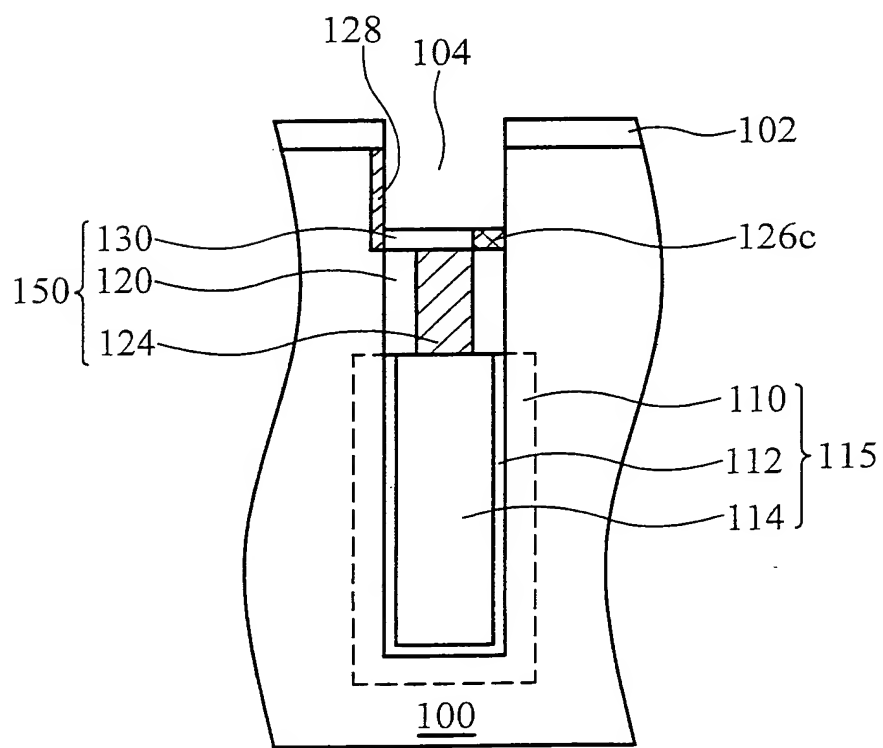
第 5 圖



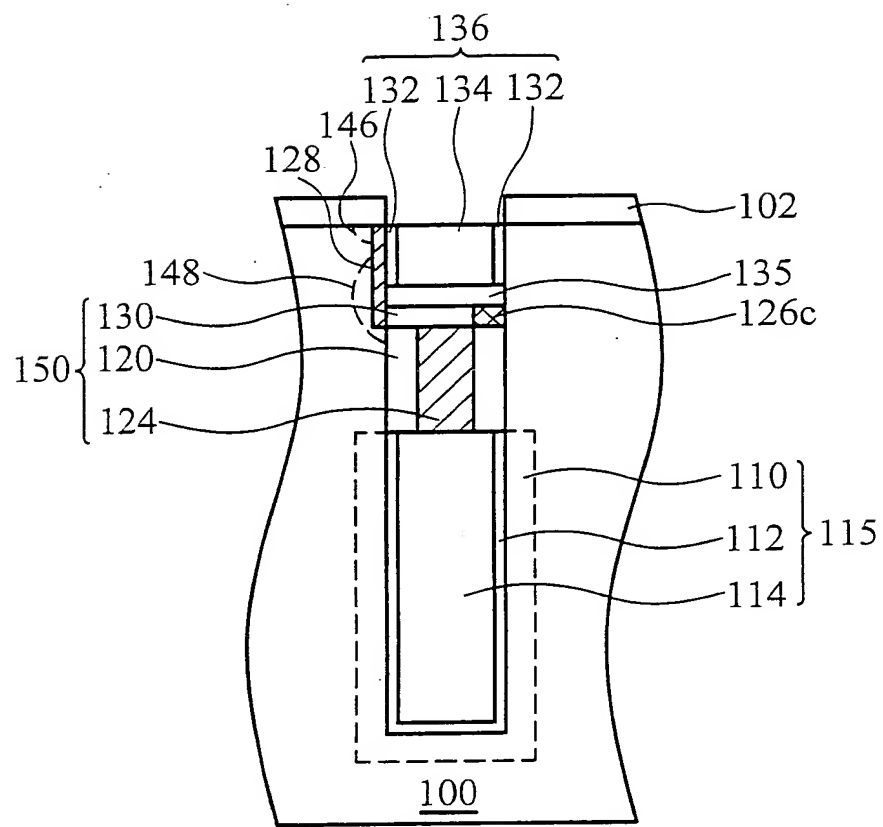
第 6 圖



第 7 圖

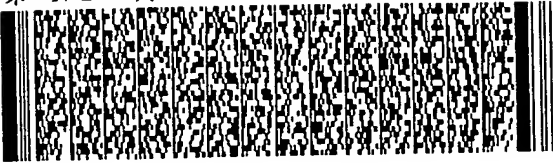


第 8 圖

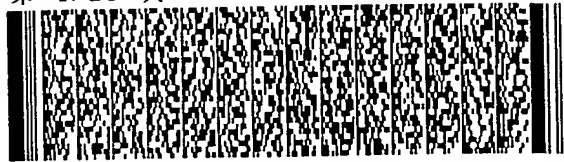


第 9 圖

第 1/28 頁



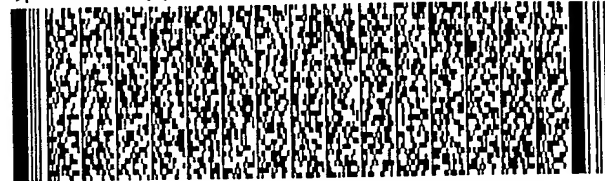
第 1/28 頁



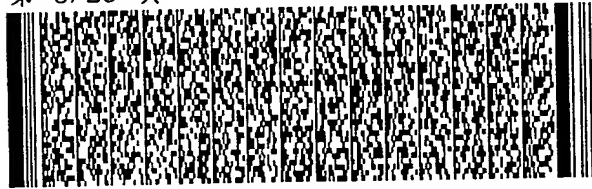
第 2/28 頁



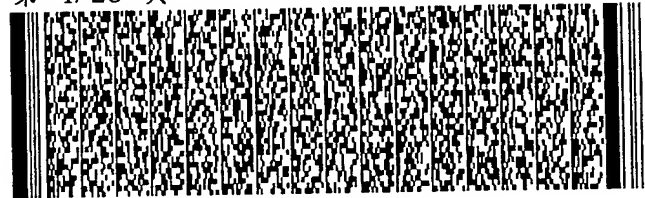
第 3/28 頁



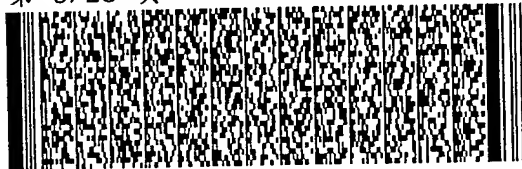
第 3/28 頁



第 4/28 頁



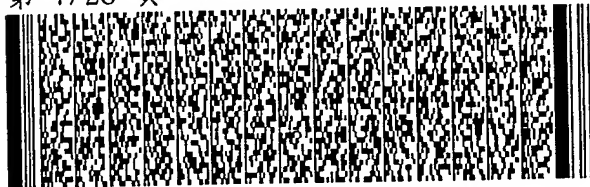
第 5/28 頁



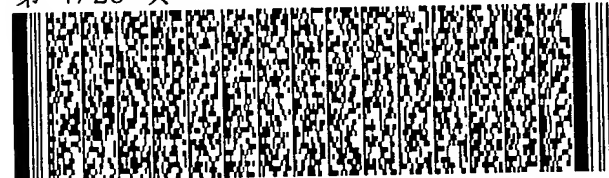
第 6/28 頁



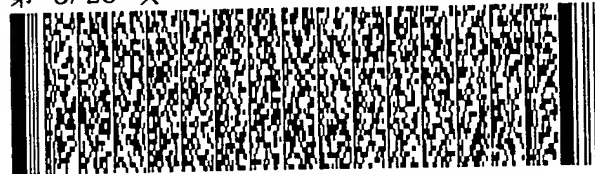
第 7/28 頁



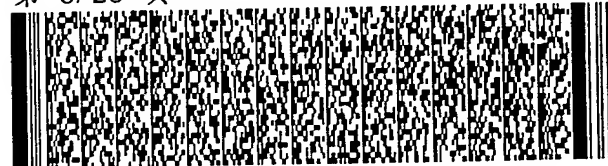
第 7/28 頁



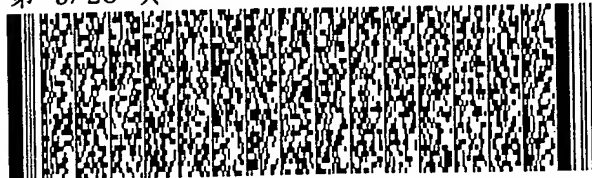
第 8/28 頁



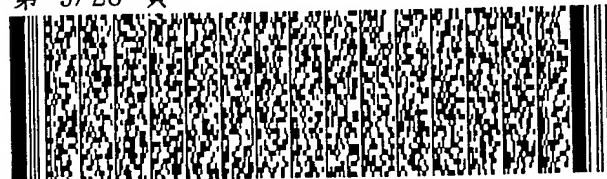
第 8/28 頁



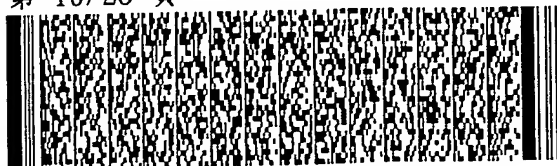
第 9/28 頁



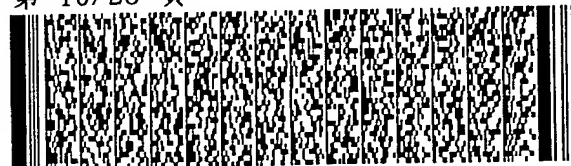
第 9/28 頁



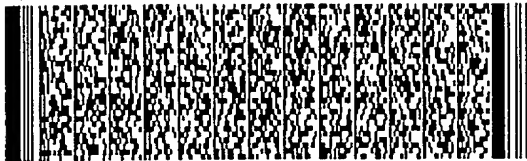


第 10/28 頁





第 10/28 頁



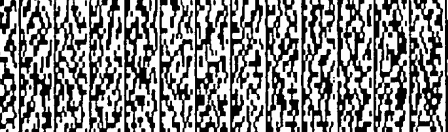


100

100



100

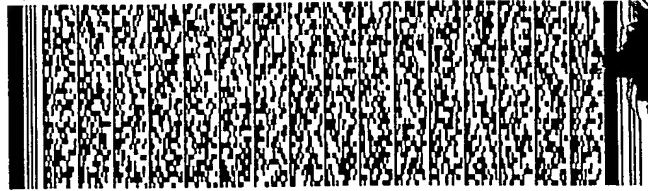


100

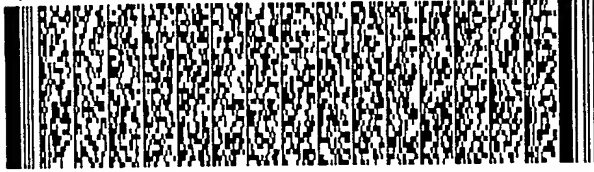
第 20/28 頁



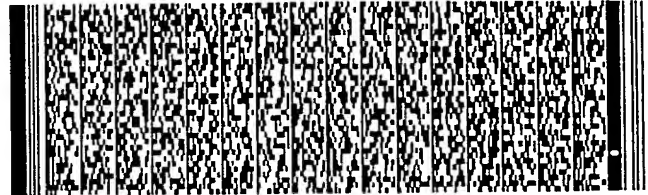
第 21/28 頁



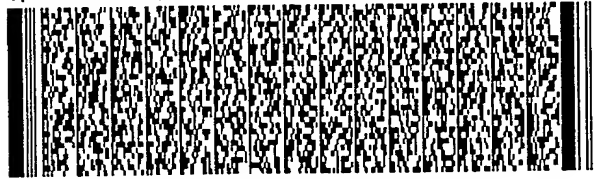
第 22/28 頁



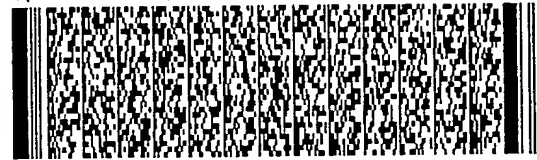
第 23/28 頁



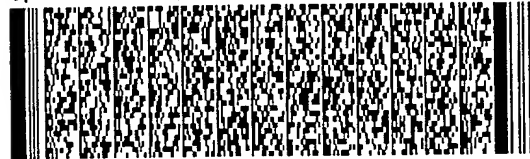
第 24/28 頁



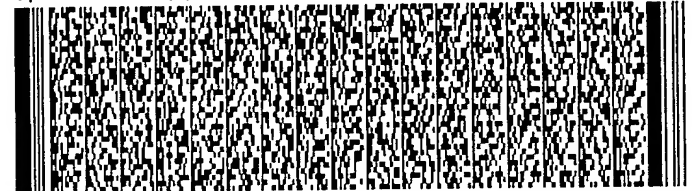
第 25/28 頁



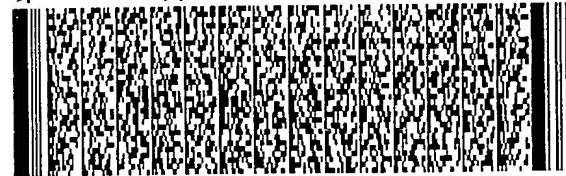
第 25/28 頁



第 26/28 頁



第 27/28 頁



第 28/28 頁

